

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Dong-Hyun Kim et al.

Serial No.: 10/772,348

Filed: February 6, 2004

For: POLYNOMIAL PREDISTORTER USING
COMPLEX VECTOR MULTIPLICATION

Group Art Unit: N/A

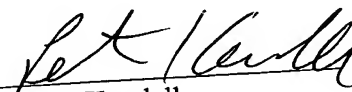
TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In order to perfect the claim for priority under 35 U.S.C. §119(a), the Applicant herewith submits one certified copy of Korean Patent Application No. 2003-7603, as filed on February 6, 2003. Should anything further be required, the Office is asked to contact the undersigned attorney at the local telephone number listed below.

Respectfully submitted,


Peter L. Kendall
Attorney of Record
Reg. No.: 45,316

Roylance, Abrams, Berdo & Goodman, L.L.P.
1300 19th Street, N.W., Suite 600
Washington, D.C. 20036-2680
(202) 659-9076

Dated: Apr. 19, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0007603
Application Number

출원년월일 : 2003년 02월 06일
Date of Application FEB 06, 2003

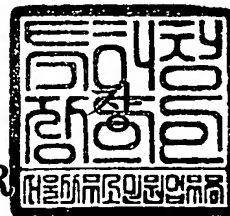
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 02 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2003.02.06
【국제특허분류】	H03G
【발명의 명칭】	복소 벡터 곱셈을 이용하는 다항식형 전치보상기 및 방법
【발명의 영문명칭】	POLYNOMIAL PREDISTORTER USING COMPLEX VECTOR MULTIPLICATION AND METHOD THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	2003-001449-1
【발명자】	
【성명의 국문표기】	김동현
【성명의 영문표기】	KIM,Dong Hyun
【주민등록번호】	700423-1019721
【우편번호】	442-727
【주소】	경기도 수원시 팔달구 영통동 964-5 신나무실주공아파트 507-304
【국적】	KR
【발명자】	
【성명의 국문표기】	신동원
【성명의 영문표기】	SHIN,Dong Won
【주민등록번호】	730406-1709319
【우편번호】	137-073
【주소】	서울특별시 서초구 서초3동 1468-1 삼성생활관 A동 321호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이건주 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	9	면	9,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	38,000	원		

【요약서】

【요약】

본 발명은 복소 변조된 기저대역 신호의 전력 증폭기에 의한 비선형 왜곡 특성을 선형화하기 위한 전치보상에 관한 것이다. 전력 증폭기에 의한 비선형 왜곡 특성을 보상하기 위해 복소 벡터 곱셈을 이용하는 다항식형 전치보상기는, 복소 다항식 계수들과 현재 입력 신호를 가지고 동위상 전치보상과 직교위상 전치보상을 위한 제1 복소 전치보상 이득들을 생성하고, 상기 제1 복소 전치보상 이득들을 상기 현재 입력 신호의 동위상 및 직교위상 신호성분에 각각 곱하여 출력하는 제1 복소 곱셈기와, 상기 복소 다항식 계수들과 과거 전치 보상된 신호를 가지고 동위상 전치보상과 직교위상 전치보상을 위한 제2 복소 전치보상 이득들을 생성하며, 상기 제2 복소 전치보상 이득들을 상기 해당하는 과거 전치 보상된 신호의 동위상 및 직교위상 신호성분에 각각 곱하여 출력하는 적어도 하나의 제2 복소 곱셈기와, 상기 제1 및 제2 복소 곱셈기들의 출력들을 합산하여 전치보상된 신호를 전력 증폭기로 출력하는 합산기를 포함한다. 이로써 본 발명은, 전치보상에 필요한 연산의 복잡성을 최소화하고 전력 비선형성 특성을 보다 효과적으로 개선한다.

【대표도】

도 2

【색인어】

PREDISTORTER, COMPLEX VECTOR MULTIPLICATION, INDIRECT TRAINING, POLYNOMIAL PREDISTORTER

【명세서】**【발명의 명칭】**

복소 벡터 곱셈을 이용하는 다항식형 전치보상기 및 방법{POLYNOMIAL PREDISTORTER USING COMPLEX VECTOR MULTIPLICATION AND METHOD THEREOF}

【도면의 간단한 설명】

도 1은 본 발명에 따라 다항식형 전치보상기를 사용하여 선형화된 증폭신호를 출력하는 송신기를 나타낸 블록 구성도.

도 2는 상기 도 1에서 입력 신호 $x(n)$ 에 대하여 제1 전치보상 신호 $d(n)$ 를 출력하는 제1 전치보상기의 구성도.

도 3은 상기 도 2에서 제1 복소 곱셈기의 상세 구성을 나타낸 도면.

도 4는 상기 도 1에 나타낸 제2 전치보상기의 상세 구성을 나타낸 도면.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 광대역 전력증폭에 관한 것으로서, 특히 복소 변조된 기저대역 신호의 전력 증폭기에 의한 비선형 왜곡 특성을 선형화하기 위한 전치보상기(Predistorter) 및 전치보상 방법에 관한 것이다.

- <6> 고주파(Radio Frequency: RF) 신호를 사용하여 통신하는 전형적인 이동통신시스템에서 고주파 증폭기(RF Amplifier)는 저전력 저잡음 수신 증폭기와 고전력 송신 증폭기로 분류된다. 고전력 송신 증폭기에 있어서 잡음보다는 효율이 더 중요한 고려대상이다. 이로 인해 이동통신 시스템에서 널리 쓰이고 있는 고전력 증폭기(High Power Amplifier: HPA)는 고효율을 얻을 수 있도록 비선형 동작점에 근접하여 동작하게 된다.
- <7> 이러한 경우 증폭기의 출력은 혼 변조 왜곡(inter modulation distortion: IMD) 성분을 만들어 내어 대역내(in-band) 뿐만 아니라 다른 주파수 대역에 스퓨리어스(spurious) 신호로 영향을 주게 된다. 스퓨어리스 성분을 제거하기 위해서는 주로 피드 포워드(feed forward) 방식이 사용된다. 피드 포워드 방식은 스퓨어리스 성분을 거의 완벽하게 제거할 수 있지만 증폭 효율이 낮아질 뿐만 아니라 고주파단(RF stage)에서의 제어가 필요하므로 부피가 커지고 시스템의 가격이 높다는 단점이 있다.
- <8> 이동통신 시스템 분야에서는 높은 효율과 적은 비용을 고려하여 디지털 전치보상(Digital Predistortion: DPD) 방식이 연구되고 있다. 디지털 전치보상 방식은 디지털부(digital stage)에서 전력 증폭기의 비선형 특성(Nonlinearity)에 대한 역(inverse)을 취하여 입력신호를 전치보상함으로써 전력 증폭기의 출력신호를 선형화한다. 비선형 특성은 입력신호의 크기(magnitude)에 따라서 출력신호의 크기가 바뀌는 AM/AM(Amplitude Modulation to AM) 특성과 입력신호의 크기에 따라서 출력신호의 위상이 바뀌는 AM/PM(AM to Phase Modulation) 특성으로 구분될 수 있다.
- <9> 현재까지 대부분의 전치보상기는 단일 톤이나 협대역 주파수의 신호에 대해

서 많이 연구되었으므로, 전력 증폭기의 비기억성(Memoryless) 비선형 특성(즉 현재의 입력만이 현재의 출력에 영향을 미침)에 대해서만 보상하는 방식이 거의 대부분이었다. 그러나 광대역 주파수에서 비선형 증폭기의 메모리 비선형 특성은 현재 입력신호 뿐만 아니라 과거의 입력된 신호들이 현재의 비선형 증폭기의 출력에 영향을 줌으로써 AM/AM 특성과 AM/PM 특성을 확연하게 변화시킨다. 이러한 현상을 메모리 효과(Memory Effects)라고 하며, 전력 증폭기의 비선형성은 입력신호의 주파수 대역폭에 따라 달라지게 된다.

<10> 최근 이동통신 시스템의 사용 주파수 대역이 점차 광대역화 되면서 비선형 증폭기의 메모리 효과를 고려한 연구와 개발이 보다 활발하게 진행되고 있다. 비선형 증폭기의 메모리리스 비선형 특성과 메모리 효과 모두를 보상하는 대표적인 방식으로는 볼테라 간소화 모델(simplified Volterra model)이 있다. 볼테라 모델은 테일러 급수(Taylor series)에 메모리(memory)를 추가한 형태로서 비선형 시스템을 정확하게 모델링하기 위해 사용된다. 볼테라 모델 전치보상기는 비선형 증폭기의 비선형 왜곡 특성을 정확히 모델링한 볼테라 급수(Volterra series)의 역을 취하여 비선형 증폭기의 비선형성을 제거한다.

<11> 볼테라 모델을 사용하는 경우, 메모리를 갖는 전력 증폭기의 선형화를 위한 전치보상 특성은 유한 메모리를 갖는 이산 볼테라 급수(discrete Volterra series)로 표현된다. 이산 볼테라 급수를 유한 이산 볼테라 급수로 수정하여 전치보상된 신호 $d(n)$ 를 표현하면 하기의 <수학식 1>과 같다.

<12> **【수학식 1】** $d(n) = h_{volterra}(n) \cdot x_{volterra}(n)$

<13> 여기서 볼테라 커널 벡터 $h_{volterra}$ 와 입력신호 벡터 $x_{volterra}$ 는 하기의 <수학식 2>와 같이 주어진다.

<14>

$$h_{volterra}(n) = [h_1(0), h_1(1), h_1(2), \dots, h_1(m-1), h_2(0,0), h_2(0,1), h_2(0,2), \dots, h_2(0,m-1), \dots, h_2(1,0), h_2(1,1), h_2(1,2), \dots, h_2(1,m-1), \dots, h_2(m-1,m-1)]$$

$$x_{volterra}(n) = [x(n), x(n-1), x(n-2), \dots, x(n-m+1), x(n)|x(n)|^2, x(n-1)|x(n)|^2, x(n-2)|x(n)|^2, \dots, x(n-m+1)|x(n)|^2, x(n)|x(n-1)|^2, x(n-1)|x(n-1)|^2, \dots, x(n-m+1)|x(n-1)|^2, \dots, x(n-m+1)|x(n-1)|^2, \dots, x(n-m+1)|x(n-m+1)|^2]^T$$

【수학식 2】

<15> 여기서 $h_i(m,n)$ 는 i 차 신호에 대한 복소 전치보상 이득으로, m 번째 및 n 번째 과거 입력 신호 샘플의 조합으로 이루어진 신호에 대한 이득을 나타낸다. 이와 같이 전치보상기는 과거 m 번째까지의 입력 신호 샘플들을 고려하는 유한임펄스응답(Finite Impulse Response: FIR) 구조를 사용한다.

<16> 이러한 전치보상기는 복소 입력 신호에 상기 복소 이득을 곱하여 전치보상된 신호 $d(n)$ 를 생성하며, 이는 고전력 증폭기에 증폭됨으로써 선형화된 출력을 이루어낸다. 상기 복소 입력 신호 $x_{volterra}(n)$ 과 상기 복소 이득 $h_{volterra}(n)$ 을 동위상(In phase: I) 신호성분과 직교위상(Quadrature phase: Q) 신호성분으로 나누어 표현하면, 전치보상기에 의한 곱셈 연산은 아래의 <수학식 3>과 같이 표현된다.

<17> 【수학식 3】 $(A+jB)(p+jq)=Ap-Bq+j(Aq+Bp)$

<18> 여기서 A 와 B 는 각각 입력 신호의 동위상 신호성분과 직교위상 신호성분을 나타내며, p 와 q 는 각각 적응 알고리즘을 이용하여 추출된 동위상 전치보상 이득과 직교위상 전치보상 이득을 나타낸다.

<19> 상기 <수학식 3>에 나타낸 바와 같이 이산 볼테라 급수를 사용하는 전치보상기는 신호의 변조 차수(modulation order)가 높아짐에 따라 연산량이 급격히 늘어나는 문제가 있다. 게다가 입력신호 벡터가 $m-1$ 개의 과거값으로 형성되고 이를 $m p_A$ 개의 유한 메모리 샘플들에 영향받는 전력 증폭기에 입력하는 경우, 전력 증폭기에 영향을 미치는 과거 입력 신호 샘플의 개수는

$m_{PA}+m-1$ 개가 된다. 결국 전력 증폭기는 전치보상기보다 더 많은 메모리 샘플에 영향받게 되어 전치보상기는 전력 증폭기의 비선형성을 적절히 선형화 할 수 없다. 이는 전치보상기가 전치 왜곡 신호를 형성하는데 충분한 정보를 가지지 못하기 때문이다.

- <20> 또한 전력 증폭기에서 출력되는 I,Q 신호의 왜곡 정도가 다름에도 불구하고 각각에 동일한 전치왜곡 이득을 곱함으로써 전치왜곡 이득값이 제한적으로 결정되어, 전력 증폭기의 선형화를 위한 전치보상 신호에 오차가 포함될 수 있고 따라서 선형화가 충분히 이루어 질 수 없는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <21> 따라서 상기한 바와 같이 동작되는 종래 기술의 문제점을 해결하기 위하여 창안된 본 발명은 보다 간결한 형태의 복소 다항식을 사용하는 전치보상기 및 방법을 제공한다.
- <22> 본 발명은 전력 증폭기의 선형화를 위해 간접 학습 방식(Indirect Learning Architecture)을 이용하는 다항식형 전치보상기 및 방법을 제공한다.
- <23> 본 발명은 전치보상기의 과거 입력신호를 이용하는 대신 과거 출력신호를 이용하여 전치보상된 신호를 생성하는 무한임펄스응답(Infinite Impulse Response: IIR) 구조의 전치보상기 및 방법을 제공한다.
- <24> 또한 본 발명은 입력 신호의 동위상 신호성분과 직교위상 신호성분에 서로 다르게 정해진 전치왜곡 이득들을 각각 곱하여 전력 증폭기의 비선형성을 보상하는 전치보상기 및 방법을 제공한다.

- <25> 본 발명의 바람직한 실시예는, 복소 변조된 기저대역의 입력 신호를 전치보상하여 전력 증폭기로 전달하며 상기 전력 증폭기에 의한 비선형 왜곡 특성을 보상하기 위해 복소 벡터 곱셈을 이용하는 다항식형 전치보상기에 있어서,
- <26> 복소 다항식 계수들과 현재 입력 신호를 가지고 동위상 전치보상과 직교위상 전치보상을 위한 제1 복소 전치보상 이득들을 생성하며, 상기 제1 복소 전치보상 이득들을 상기 현재 입력 신호에 각각 곱하여 출력하는 제1 복소 곱셈기와,
- <27> 상기 복소 다항식 계수들과 각각 해당하는 하나의 과거 전치 보상된 신호를 가지고 동위상 전치보상과 직교위상 전치보상을 위한 제2 복소 전치보상 이득들을 생성하며, 상기 제2 복소 전치보상 이득들을 상기 해당하는 과거 전치 보상된 신호에 각각 곱하여 출력하는 적어도 하나의 제2 복소 곱셈기와,
- <28> 상기 제1 및 제2 복소 곱셈기들의 출력들을 합산하여 전치보상된 신호를 전력 증폭기로 출력하는 합산기를 포함하는 것을 특징으로 한다.

【발명의 구성 및 작용】

- <29> 하기에 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

- <30> 후술되는 본 발명은 전력 증폭의 선형화를 위해 현재 입력 신호와 과거 전치보상된 신호들을 이용하여 전치보상된 신호를 생성한다. 상기 전치보상된 신호를 생성하기 위해 상기 현재 입력 신호와 상기 과거 전치보상된 신호들에 곱해지는 전치보상 이득은 간접 학습에 의하여 구해진다.
- <31> 도 1은 본 발명에 따라 간접 학습 구조(Indirect training architecture)의 다항식형 전치보상기를 사용하여 선형화된 증폭신호를 출력하는 송신기를 나타낸 블록 구성도이다.
- <32> 상기 도 1을 참조하면, 송신기는 전력 증폭기(Power Amplifier)(300)에 의해 나타나는 비선형 왜곡 특성을 예측하기 위하여 완전히 동일한 전치보상 다항식 계수들을 사용하는 2개의 전치보상기들(100, 200)을 포함한다. 제1 전치보상기(100)는 기저대역의 복소 변조된 입력 신호 $x(n)$ 를, 상기 전력 증폭기(300)의 역 비선형 왜곡 특성을 모델링한 다항식 계수들에 의해 전치보상한 제1 전치보상 신호(Predistorted Signal) $d(n)$ 를 상기 전력 증폭기(300)에 제공하고, 상기 전력 증폭기(300)에 의해 증폭된 신호(Amplified Signal) $y(n)$ 는 제2 전치보상기(200)에 입력된다.
- <33> 실제로 설계상의 필요에 따라, 상기 제1 전치 보상기(100)와 상기 전력 증폭기(300) 사이에는 아날로그 직교 변조기에서 발생할 수 있는 이득 오차 및 위상 오차를 보정하기 위한 오차 보정회로와, 누설전력을 제거하기 위한 직류 옵셋 제거회로와, 디지털 직교 변조기와, 디지털/아날로그 변환기와, 대역통과필터와, 주파수 상승 변환기 등이 삽입될 수 있으며, 상기 전력 증폭기(300)와 상기 제2 전치 보상기(200) 사이에는 주파수 하강 변환기와, 대역통과필터와, 아날로그/디지털 변환기와, 디지털 직교 복조기 등이 삽입될 수 있을 것이지만, 이는 본 발명의 특징적인 구성 요소가 아니므로 도시를 생략하였다.

- <34> 상기 제2 전치보상기(200)는 상기 제1 전치보상기(100)와 동일한 다항식 계수들에 의해 상기 $y(n)$ 를 전치 보상한 제2 전치보상 신호 $o(n)$ 를 출력한다. 이상적으로 상기 제2 전치보상기(200)는 상기 $y(n)$ 를 입력으로 하여 상기 제1 전치보상 신호와 완전히 동일한 신호를 출력하고자 한다. 이를 위하여 에러 계산기(310)에서 상기 제1 전치보상 신호 $d(n)$ 에서 상기 제2 전치보상 신호 $o(n)$ 를 빼서 에러 신호(Error Signal) $e(n)$ 를 생성하면, 상기 제2 전치보상기(200)는 알려진 적응 알고리즘(Adaptation Algorithm)에 의해 상기 $e(n)$ 의 전력(power) 또는 크기(magnitude)가 최소화되도록 상기 다항식 계수들을 갱신한다. 상기 갱신된 다항식 계수들은 상기 제1 전치보상기(100)에 반영된다.
- <35> 이와 같이 상기 제1 전치보상기(100)와 제2 전치보상기(200)는 상기 갱신되는 다항식 계수들에 의해 동작하며, 다항식 계수들의 갱신이 반복됨에 따라 상기 전력 증폭기(300)의 출력이 점차 선형화된다.
- <36> 상기 제1 전치보상기(100)와 제2 전치보상기(200)는 현재의 입력 신호와 과거 전치보상된 신호들을 이용하여 전치보상된 신호를 출력한다.
- <37> 도 2에 입력 신호 $x(n)$ 에 대하여 제1 전치보상 신호 $d(n)$ 를 출력하는 상기 제1 전치보상기(100)의 구성을 나타내었다. 여기에서는 2개의 과거 전치보상된 신호 샘플들을 이용하는 구성을 도시하였다. 상기 도 2에 도시한 구성 및 이하 설명하는 동작은 증폭 신호 $y(n)$ 에 대하여 제2 전치보상 신호 $o(n)$ 를 출력하는 상기 제2 전치보상기(200)에도 동일하게 적용된다.
- <38> 상기 도 2를 참조하면, 제1 복소 곱셈기(Complex Multiplier)(110)는 현재 입력 신호 $x(n)$ 의 동위상 신호성분과 직교위상 신호성분에 각각 해당하는 전치보상 이득들을 곱하여 출력하며, 상기 제1 복소 곱셈기(110)의 출력은 제2 및 제3 복소 곱셈기들(120, 130)의 출력들과 결합되어 제1 전치보상 신호 $d(n)$ 가 된다. 상기 제2 복소 곱셈기(120)는 상기 제1 전치보상 신호

$d(n)$ 를 지연기(154)에 의해 1 샘플 시간만큼 지연시킨 신호 $d(n-1)$ 에 각각 해당하는 전치보상 이득을 곱하여 출력하며, 상기 제3 복소 곱셈기(130)는 상기 제1 전치보상 신호 $d(n)$ 를 지연기들(154, 156)에 의해 2 샘플 시간만큼 지연시킨 신호 $d(n-2)$ 에 각각 해당하는 전치보상 이득을 곱하여 출력한다.

<39> 합산기(140)는 상기 제1 내지 제3 복소 곱셈기들(110 내지 130)의 동위상 및 직교위상 출력들을 동위상 덧셈기들(142, 146)과 직교위상 덧셈기들(144, 148)에 의해 각각 합산하며, 상기 합산된 직교위상 신호성분은 곱셈기(152)에 의해 90도만큼 천이된 후 덧셈기(150)에 의해 상기 합산된 동위상 신호성분과 합해져서 상기 제1 전치보상 신호 $d(n)$ 가 된다.

<40> 도 3에 상기 복소 곱셈기들(110 내지 130) 중 제1 복소 곱셈기(110)의 상세 구조를 나타내었다. 상기 도 3을 참조하면, 상기 제1 복소 곱셈기(110)는 상기 입력 신호 $x(n)$ 를 가지고 실수 검출기(112a)에 의해 동위상 신호성분 $\text{Re}\{x(n)\}$ 을 검출하고, 허수 검출기(112b)에 의해 직교위상 신호성분 $\text{Im}\{x(n)\}$ 을 검출한다. 상기 검출된 신호성분들은 4개의 곱셈기들(114a, 114b, 114c, 114d)로 제공된다.

<41> 또한 상기 제1 복소 곱셈기(110)는 입력 신호 $x(n)$ 를 가지고 절대값 계산기(118a)에 의해 상기 입력 신호 $x(n)$ 의 크기 $|x(n)|$ 을 검출하여 다항식 계산기(Polynomial Processor)(118b)로 제공한다. 상기 다항식 계산기(118b)는 상기 제2 전치 보상기(200)에 의해 간접 학습 방식으로 계산된 복소 다항식 계수들 c_i , c_q 와 상기 입력 신호의 크기 $|x(n)|$ 을 가지고 전치보상 다항식을 계산하여 동위상의 전치보상 이득들 p, q 와 직교위상의 전치보상 이득들 r, s 를 생성한다.

<42> 상기 p, r 은 상기 곱셈기들(114a, 114b)에 의하여 상기 동위상 신호성분 $\text{Re}\{x(n)\}$ 에 곱해지며, 상기 q, s 는 상기 곱셈기들(114c, 114d)에 의해 상기 직교위상

신호성분 $\text{Im}\{x(n)\}$ 에 곱해진다. 즉, 상기 전치보상 이득들 p, r 은 상기 입력 신호 $x(n)$ 의 동위상 신호성분을 위한 전치보상 이득들이며, 상기 전치보상 이득들 q, s 는 상기 입력 신호 $x(n)$ 의 직교위상 신호성분을 위한 전치보상 이득들이다. 마지막으로 덧셈기(116a)는 상기 곱셈기들(114a, 114c)의 출력들을 합하여 동위상 신호성분으로서 출력하고, 덧셈기(116b)는 상기 곱셈기들(114b, 114d)의 출력들을 합하여 직교위상 신호로서 출력한다.

<43> 마찬가지로 나머지 제2 및 제3 복소 곱셈기들(120 내지 130)들도 각각 해당하는 입력 신호의 크기들 $|d(n-1)|$, $|d(n-2)|$ 과 상기 동일한 복소 다항식 계수들을 가지고 전치보상 다항식을 계산하여 전치보상 이득들을 생성하며, 상기 생성된 전치보상 이득들을 해당하는 입력 신호 $d(n-1)$, $d(n-2)$ 의 동위상 신호성분 및 직교위상 신호성분에 각각 곱하여 출력한다.

<44> 상기 도 2 및 도 3과 같이 구성되는 전치보상 구조에서 입력신호의 전치보상은 종래 기술과는 달리 하기의 <수학식 4>와 같이 표현된다.

<45> **【수학식 4】** $[A \ B \ A \ B][p \ q \ j \ r \ j \ s]^T = Ap + Bq + j(Ar + Bs)$

<46> 여기서 A 와 B 는 입력 신호의 동위상 신호성분과 직교위상 신호성분을 각각 나타내며, p, q, r, s 는 적응 알고리즘을 이용하여 추출된 동위상 및 직교위상 전치보상 이득들을 각각 나타낸다. 앞서 언급한 바와 같이 p 와 r 은 입력 신호의 동위상 신호성분 A 를 전치보상하기 위한 동위상 및 직교위상 전치보상 이득이며, q 와 s 는 입력 신호의 직교위상 신호성분 B 를 전치보상하기 위한 동위상 및 직교위상 전치보상 이득이다.

<47> 이러한 전치보상 이득들은 간접 학습 방식에 의해 구해진 복소 다항식 계수들을 이용하여 전치보상 다항식을 계산함으로써 구해진다. 알려진 바와 같이 간접 학습 방식은 전력 증폭기의 특성 모델을 알지 못해도 선형화를 구현할 수 있는 방법이며, 적응 알고리즘을 사용하여

증폭기의 비선형성을 보상할 수 있는 다항식 계수들을 구한다. 이하 본 발명에 따라 전치보상 동작을 설명한다. 여기에서는 도 1에 도시한 제1 전치보상기(100)를 예를 들어 설명할 것이다.

<48> 먼저 전치보상된 신호 $d(n)$ 는 하기의 <수학식 5>와 같이 주어진다.

<49> 【수학식 5】 $d(n) = d_i(n) + jd_q(n) = x(n) \cdot (c_i + jc_q)$

<50> 여기서 n 은 샘플 단위의 시간 인덱스이며, c_i , c_q 는 입력 신호 $x(n)$ 를 위한 복소 다항식 계수의 동위상 신호성분 및 직교위상 신호성분이다.

<51> 여기서 P 차의 다항식을 사용하고 최대 M 샘플 시간 이전의 과거 샘플들을 고려한다고 할 때, 상기 입력 신호 $x(n)$ 와 상기 복소 다항식 계수는 하기의 <수학식 6>과 같은 행렬의 형태로 주어진다.

<52>
$$x(n) = [x_i(n), x_q(n), x_i(n)|x(n)|, x_q(n)|x(n)|, \dots, x_i(n)|x(n)|^{P-1}, x_q(n)|x(n)|^{P-1}, \\ d_i(n-1), d_q(n-1), d_i(n-1)|d(n-1)|, d_q(n-1)|d(n-1)|, \dots, \\ d_i(n-1)|d(n-1)|^{P-1}, d_q(n-1)|d(n-1)|^{P-1}, \\ d_i(n-M), d_q(n-M), d_i(n-M)|d(n-M)|, d_q(n-M)|d(n-M)|, \dots, \\ d_i(n-M)|d(n-M)|^{P-1}, d_q(n-M)|d(n-M)|^{P-1}]$$

$$c_i = [c_{ii,0,0}, c_{iq,0,0}, \dots, c_{ii,0,P-1}, c_{iq,0,P-1}, c_{ii,1,0}, c_{iq,1,0}, \dots, c_{ii,1,P-1}, c_{iq,1,P-1}, \dots, \\ c_{ii,M,0}, c_{iq,M,0}, \dots, c_{ii,M,P-1}, c_{iq,M,P-1}]^T$$

$$c_q = [c_{qi,0,0}, c_{qq,0,0}, \dots, c_{qi,0,P-1}, c_{qq,0,P-1}, c_{qi,1,0}, c_{qq,1,0}, \dots, c_{qi,1,P-1}, c_{qq,1,P-1}, \dots, \\ c_{qi,M,0}, c_{qq,M,0}, \dots, c_{qi,M,P-1}, c_{qq,M,P-1}]^T$$

【수학식 6】

<53> 여기서 $[]^T$ 는 전치행렬을 나타낸다. 그러면 도 3의 다항식 계산기(118b)에 의해 구해지는 전치보상 이득들은 하기의 <수학식 7>과 같다.

<54>
$$P = c_{ii,0,0} + c_{ii,0,1} |x(n)| + \dots + c_{ii,0,(P-1)} |x(n)|^{(P-1)} \\ q = c_{iq,0,0} + c_{iq,0,1} |x(n)| + \dots + c_{iq,0,(P-1)} |x(n)|^{(P-1)} \\ r = c_{qi,0,0} + c_{qi,0,1} |x(n)| + \dots + c_{qi,0,(P-1)} |x(n)|^{(P-1)} \\ s = c_{qq,0,0} + c_{qq,0,1} |x(n)| + \dots + c_{qq,0,(P-1)} |x(n)|^{(P-1)}$$

【수학식 7】

- <55> 상기 <수학식 7>은 입력 신호 $x(n)$ 에 대해서 나타내었으나, m 번째 과거의 전치 보상된 신호 $d(n-m)$ 에 대한 전치보상 이득들도 $c_{ii,m,(0\sim P-1)}$, $c_{iq,m,(0\sim P-1)}$, $c_{qi,m,(0\sim P-1)}$, $c_{qq,m,(0\sim P-1)}$ 를 사용하여 유사하게 나타낼 수 있다.
- <56> 도 4는 상기 도 1에 나타낸 제2 전치보상기(200)의 상세 구성도를 나타낸 것으로서, 도시한 바와 같이 제1 복소 곱셈기(210)는 현재 입력 신호 $y(n)$ (y_n 이라 표기함)에 각각 해당하는 전치보상 이득들을 곱하여 출력하며, 상기 제1 복소 곱셈기(210)의 출력은 제2 및 제3 복소 곱셈기들(220,230)의 출력들과 결합되어 제2 전치보상 신호 $o(n)$ (o_n 이라 표기함)가 된다. 상기 제2 복소 곱셈기(220)는 상기 제2 전치보상 신호 o_n 을 지연기(254)에 의해 1 샘플 시간만큼 지연시킨 신호 o_{n-1} 에 각각 해당하는 전치보상 이득을 곱하여 출력하며, 상기 제3 복소 곱셈기(230)는 상기 제2 전치보상 신호 o_n 을 지연기들(254,256)에 의해 2 샘플 시간만큼 지연시킨 신호 o_{n-2} 에 각각 해당하는 전치보상 이득을 곱하여 출력한다.
- <57> 합산기(240)는 상기 제1 내지 제3 복소 곱셈기들(210 내지 230)의 동위상 및 직교위상 출력들을 합산하며, 상기 합산된 직교위상 신호성분은 90도만큼 천이된 후 상기 합산된 동위상 신호성분과 합해져서 제2 전치보상 신호 o_n 이 된다.
- <58> 상기 제2 전치 보상기(200)의 출력 $o(n)$ 는 하기의 <수학식 8>과 같다.
- <59> **【수학식 8】**
$$o(n) = o_i(n) + jo_q(n) = y(n) \cdot (c_i + jc_q)$$
- <60> 여기서 c_i , c_q 는 입력 신호 $o(n)$ 를 위한 복소 다항식 계수의 동위상 신호성분 및 직교위상 신호성분이다.
- <61> 여기서 P 차의 다항식을 사용하고 최대 M 샘플 시간 이전의 과거 샘플들을 고려한다고 할 때, 상기 제2 전치 보상기(200)로 입력되는 증폭 신호 $y(n)$ 는 하기와 같이 표현된다.

<62>

$$\begin{aligned}
 y(n) = & [y_i(n), y_q(n), y_i(n)|y(n)|, y_q(n)|y(n)|, \dots, y_i(n)|y(n)|^{r-1}, y_q(n)|y(n)|^{r-1}, \\
 & o_i(n-1), o_q(n-1), o_i(n-1)|o(n-1)|, o_q(n-1)|o(n-1)|, \dots, \\
 & o_i(n-1)|o(n-1)|^{r-1}, o_q(n-1)|o(n-1)|^{r-1}, \\
 & o_i(n-M), o_q(n-M), o_i(n-M)|o(n-M)|, o_q(n-M)|o(n-M)|, \dots, \\
 & o_i(n-M)|o(n-M)|^{r-1}, o_q(n-M)|o(n-M)|^{r-1}]
 \end{aligned}$$

【수학식 9】

<63>

상기 도 4에서 디지털 신호처리 프로세서(Digital signalling Processor)(260)는

RLS(Recursive Least Square)/LMS(Least Mean Square) 등의 알려진 적응 알고리즘을 사용하여 오차신호 $e(n)=d(n) - o(n)$ 의 크기가 최소가 되도록 하는 다항식 계수들 $c_{ii}, c_{iq}, c_{qi}, c_{qq}$ 을 계산한다. 상기 다항식 계수들의 형태는 앞서 언급한 <수학식 6>에 나타낸 바와 같다. 이렇게 계산된 다항식 계수들은 상기 제1 전치 보상기(100)의 상기 다항식 계산기(118b)로 제공된다. 이를 위하여 샘플 메모리(264)는 다중화기(262)를 통해 $y(n)$ 와 최대 M 샘플 시간 이전까지 $o(n)$ 의 과거 샘플들을 입력받아 저장하고, 상기 디지털 신호처리 프로세서(260)로 제공한다. 여기서 상기 샘플 메모리(264)는 M+1개의 샘플들을 저장할 수 있는 메모리 크기를 가진다.

<64>

한편 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되지 않으며, 후술되는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

【발명의 효과】

<65>

이상에서 상세히 설명한 바와 같이 동작하는 본 발명에 있어서, 개시되는 발명중 대표적인 것에 의하여 얻어지는 효과를 간단히 설명하면 다음과 같다.

<66> 본 발명은, 복잡한 이산 볼테라 급수보다 간결한 형태의 다항식을 이용하여 연산의 복잡성이 최소화되며, 과거의 전치 보상된 신호를 가지고 현재의 전치 보상된 신호를 출력하며, 전력 증폭기의 메모리 효과를 정확하게 복원하여 결과적으로 메모리 효과를 갖는 전력 증폭기의 적절한 선형화가 가능하다. 또한 복소 다항식 계수를 사용하여 동위상 신호성분 오차와 직교위상 신호성분 오차를 독립적으로 보상하여 각 위상 성분 오차를 독립적으로 최소화할 수 있으므로, 전력 증폭기의 비선형성을 보다 효과적으로 개선한다.

【특허청구범위】**【청구항 1】**

복소 변조된 기저대역의 입력 신호를 전치보상하여 전력 증폭기로 전달하며 상기 전력 증폭기에 의한 비선형 왜곡 특성을 보상하기 위해 복소 벡터 곱셈을 이용하는 다항식형 전치보상기에 있어서,

상기 전력 증폭기의 역 비선형 왜곡 특성을 모델링한 복소 다항식 계수들과 현재 입력 신호를 가지고 동위상 전치보상과 직교위상 전치보상을 위한 제1 복소 전치보상 이득들을 생성하며, 상기 제1 복소 전치보상 이득들을 상기 현재 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 곱하여 출력하는 제1 복소 곱셈기와,

상기 복소 다항식 계수들과 각각 해당하는 하나의 과거 전치 보상된 신호를 가지고 동위상 전치보상과 직교위상 전치보상을 위한 제2 복소 전치보상 이득들을 생성하며, 상기 제2 복소 전치보상 이득들을 상기 해당하는 과거 전치 보상된 신호의 동위상 신호성분과 직교위상 신호성분에 각각 곱하여 출력하는 적어도 하나의 제2 복소 곱셈기와,

상기 제1 및 제2 복소 곱셈기들의 출력들을 합산하여 전치보상된 신호를 전력 증폭기로 출력하는 합산기를 포함하는 것을 특징으로 하는 전치보상기.

【청구항 2】

제 1 항에 있어서, 상기 복소 다항식 계수들은, 상기 전력 증폭기에 의해 증폭된 신호를 입력으로 하여 상기 전치보상된 신호를 출력하도록 결정되는 것을 특징으로 하는 전치보상기.

【청구항 3】

제 1 항에 있어서, 상기 전치보상된 신호는 하기의 수학적식과 같이 계산되는 것을 특징으로 하는 전치보상기.

$$\begin{aligned}
 d(n) &= d_i(n) + jd_q(n) = x(n) \cdot (c_i + jc_q) \\
 x(n) &= [x_i(n), x_q(n), x_i(n)|x(n)|, x_q(n)|x(n)|, \dots, x_i(n)|x(n)|^{P-1}, x_q(n)|x(n)|^{P-1}, \\
 &\quad d_i(n-1), d_q(n-1), d_i(n-1)|d(n-1)|, d_q(n-1)|d(n-1)|, \dots, \\
 &\quad d_i(n-1)|d(n-1)|^{P-1}, d_q(n-1)|d(n-1)|^{P-1}, \\
 &\quad d_i(n-M), d_q(n-M), d_i(n-M)|d(n-M)|, d_q(n-M)|d(n-M)|, \dots, \\
 &\quad d_i(n-M)|d(n-M)|^{P-1}, d_q(n-M)|d(n-M)|^{P-1}] \\
 c_i &= [c_{i,0,0}, c_{i,0,0}, \dots, c_{i,0,P-1}, c_{i,0,0}, c_{i,0,0}, \dots, c_{i,0,P-1}, c_{i,1,0}, c_{i,1,0}, \dots, c_{i,1,P-1}, c_{i,1,0}, c_{i,1,0}, \dots, \\
 &\quad c_{i,M,0}, c_{i,M,0}, \dots, c_{i,M,P-1}, c_{i,M,0}, c_{i,M,0}, \dots, c_{i,M,P-1}]^T \\
 c_q &= [c_{q,0,0}, c_{q,0,0}, \dots, c_{q,0,P-1}, c_{q,0,0}, c_{q,0,0}, \dots, c_{q,0,P-1}, c_{q,1,0}, c_{q,1,0}, \dots, c_{q,1,P-1}, c_{q,1,0}, c_{q,1,0}, \dots, \\
 &\quad c_{q,M,0}, c_{q,M,0}, \dots, c_{q,M,P-1}, c_{q,M,0}, c_{q,M,0}, \dots, c_{q,M,P-1}]^T
 \end{aligned}$$

여기서 $d(n)$ 는 동위상 신호성분 $d_i(n)$ 와 직교위상 신호성분 $d_q(n)$ 로 이루어지는 전치보상된 신호이고, $x(n)$ 는 동위상 신호성분 $x_i(n)$ 와 직교위상 신호성분 $x_q(n)$ 로 이루어지는 입력 신호이고, c_i 는 입력 신호의 동위상 신호성분에 영향을 미치는 c_{ii} 와 직교위상 신호성분에 영향을 미치는 c_{iq} 로 이루어지는 동위상 다항식 계수이고, c_q 는 입력 신호의 동위상 신호성분에 영향을 미치는 c_{qi} 와 직교위상 신호성분에 영향을 미치는 c_{qq} 로 이루어지는 직교위상 다항식 계수이고, P 는 다항식의 차수이고, M 은 고려하여야 하는 과거 신호들의 개수임.

【청구항 4】

제 1 항에 있어서, 상기 제1 및 제2 복소 전치보상 이득들은,

상기 입력 신호 및 상기 과거 전치 보상된 신호의 동위상 신호성분과 직교위상 신호성분에 각각 곱해지는 복소 동위상 전치보상 이득과 복소 직교위상 전치보상 이득으로 이루어짐을 특징으로 하는 전치보상기.

【청구항 5】

제 4 항에 있어서, 상기 제1 복소 전치보상 이득들은, 하기의 수학식에 의해 계산되는 것을 특징으로 하는 전치보상기.

$$\begin{aligned} p &= c_{ii,0,0} + c_{ii,0,1} |x(n)| + \dots + c_{ii,0,(P-1)} |x(n)|^{(P-1)} \\ q &= c_{iq,0,0} + c_{iq,0,1} |x(n)| + \dots + c_{iq,0,(P-1)} |x(n)|^{(P-1)} \\ r &= c_{qi,0,0} + c_{qi,0,1} |x(n)| + \dots + c_{qi,0,(P-1)} |x(n)|^{(P-1)} \\ s &= c_{qq,0,0} + c_{qq,0,1} |x(n)| + \dots + c_{qq,0,(P-1)} |x(n)|^{(P-1)} \end{aligned}$$

여기서 $x(n)$ 는 입력 신호이고, p, q 는 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 곱해지는 동위상 전치보상 이득들이고, r, s 는 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 곱해지는 직교위상 전치보상 이득들이고, c_{ii} 와 c_{iq} 는 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 영향을 미치는 동위상 다항식 계수이고, c_{qi} 와 c_{qq} 는 입력 신호의 동위상 신호성과 직교위상 신호성분에 각각 영향을 미치는 직교위상 다항식 계수이고, P 는 다항식의 차수이고, M 은 고려하여야 하는 과거 신호들의 개수임.

【청구항 6】

제 4 항에 있어서, 상기 제2 복소 전치보상 이득들은, 하기의 수학식에 의해 계산되는 것을 특징으로 하는 전치보상기.

$$\begin{aligned} p &= c_{ii,m,0} + c_{ii,m,1} |d(n-m)| + \dots + c_{ii,m,(P-1)} |d(n-m)|^{(P-1)} \\ q &= c_{iq,m,0} + c_{iq,m,1} |d(n-m)| + \dots + c_{iq,m,(P-1)} |d(n-m)|^{(P-1)} \\ r &= c_{qi,m,0} + c_{qi,m,1} |d(n-m)| + \dots + c_{qi,m,(P-1)} |d(n-m)|^{(P-1)} \\ s &= c_{qq,m,0} + c_{qq,m,1} |d(n-m)| + \dots + c_{qq,m,(P-1)} |d(n-m)|^{(P-1)} \end{aligned}$$

여기서 $d(n-m)$ 는 m 번째 과거의 전치 보상된 신호이고, p, q 는 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 곱해지는 동위상 전치보상 이득들이고, r, s 는 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 곱해지는 직교위상 전치보상 이득들이고, c_{ii} 와

c_{iq} 는 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 영향을 미치는 동위상 다항식 계수이고, c_{qi} 와 c_{qq} 는 입력 신호의 동위상 신호성과 직교위상 신호성분에 각각 영향을 미치는 직교위상 다항식 계수이고, P 는 다항식의 차수이고, M 은 고려하여야 하는 과거 신호들의 개수 임.

【청구항 7】

복소 변조된 기저대역의 입력 신호를 전치보상하여 전력 증폭기로 전달하며 상기 전력 증폭기에 의한 비선형 왜곡 특성을 보상하기 위해 복소 벡터 곱셈을 이용하는 다항식형 전치보상 방법에 있어서,

상기 전력 증폭기의 역 비선형 왜곡 특성을 모델링한 복소 다항식 계수들과 현재 입력 신호를 가지고 동위상 전치보상과 직교위상 전치보상을 위한 제1 복소 전치보상 이득들을 생성하며, 상기 제1 복소 전치보상 이득들을 상기 현재 입력 신호의 동위상 및 직교위상 신호성분에 각각 곱하는 과정과,

상기 복소 다항식 계수들과 미리 정해지는 소정 개수의 과거 전치 보상된 신호를 가지고 동위상 전치보상과 직교위상 전치보상을 위한 제2 복소 전치보상 이득들을 생성하며, 상기 제2 복소 전치보상 이득들을 각각 해당하는 과거 전치 보상된 신호의 동위상 및 직교위상 신호성분에 각각 곱하는 과정과,

상기 곱셈 결과들을 합산하여 전치보상된 신호를 전력 증폭기로 출력하는 과정을 포함하는 것을 특징으로 하는 전치보상 방법.

【청구항 8】

제 7 항에 있어서, 상기 복소 다항식 계수들은, 상기 전치보상기와 동일한 구조를 가지며 상기 전력 증폭기에 의해 증폭된 신호를 입력으로 하여 상기 전치보상된 신호를 출력하도록 결정되는 것을 특징으로 하는 전치보상 방법.

【청구항 9】

제 7 항에 있어서, 상기 전치보상된 신호는 하기의 수학적식과 같이 계산되는 것을 특징으로 하는 전치보상 방법.

$$\begin{aligned}
 d(n) &= d_i(n) + jd_q(n) = x(n) \cdot (c_i + jc_q) \\
 x(n) &= [x_i(n), x_q(n), x_i(n)|x(n)|, x_q(n)|x(n)|, \dots, x_i(n)|x(n)|^{p-1}, x_q(n)|x(n)|^{p-1}, \\
 &\quad d_i(n-1), d_q(n-1), d_i(n-1)|d(n-1)|, d_q(n-1)|d(n-1)|, \dots, \\
 &\quad d_i(n-1)|d(n-1)|^{p-1}, d_q(n-1)|d(n-1)|^{p-1}, \\
 &\quad d_i(n-M), d_q(n-M), d_i(n-M)|d(n-M)|, d_q(n-M)|d(n-M)|, \dots, \\
 &\quad d_i(n-M)|d(n-M)|^{p-1}, d_q(n-M)|d(n-M)|^{p-1}] \\
 c_i &= [c_{ii,0,0}, c_{iq,0,0}, \dots, c_{ii,0,p-1}, c_{iq,0,p-1}, c_{ii,1,0}, c_{iq,1,0}, \dots, c_{ii,1,p-1}, c_{iq,1,p-1}, \dots, \\
 &\quad c_{ii,M,0}, c_{iq,M,0}, \dots, c_{ii,M,p-1}, c_{iq,M,p-1}]^T \\
 c_q &= [c_{qi,0,0}, c_{qq,0,0}, \dots, c_{qi,0,p-1}, c_{qq,0,p-1}, c_{qi,1,0}, c_{qq,1,0}, \dots, c_{qi,1,p-1}, c_{qq,1,p-1}, \dots, \\
 &\quad c_{qi,M,0}, c_{qq,M,0}, \dots, c_{qi,M,p-1}, c_{qq,M,p-1}]^T
 \end{aligned}$$

여기서 $d(n)$ 는 동위상 신호성분 $d_i(n)$ 와 직교위상 신호성분 $d_q(n)$ 로 이루어지는 전치보상된 신호이고, $x(n)$ 는 동위상 신호성분 $x_i(n)$ 와 직교위상 신호성분 $x_q(n)$ 로 이루어지는 입력 신호이고, c_i 는 입력 신호의 동위상 신호성분에 영향을 미치는 c_{ii} 와 직교위상 신호성분에 영향을 미치는 c_{iq} 로 이루어지는 동위상 다항식 계수이고, c_q 는 입력 신호의 동위상 신호성분에 영향을 미치는 c_{qi} 와 직교위상 신호성분에 영향을 미치는 c_{qq} 로 이루어지는 직교위상 다항식 계수이고, P 는 다항식의 차수이고, M 은 고려하여야 하는 과거 신호들의 개수임.

【청구항 10】

제 7 항에 있어서, 상기 제1 및 제2 복소 전치보상 이득들은,

상기 입력 신호 및 상기 과거 전치 보상된 신호의 동위상 신호성분과 직교위상 신호성분에 각각 곱해지는 복소 동위상 전치보상 이득과 복소 직교위상 전치보상 이득으로 이루어짐을 특징으로 하는 전치보상 방법.

【청구항 11】

제 10 항에 있어서, 상기 제1 복소 전치보상 이득들은, 하기의 수학식에 의해 계산되는 것을 특징으로 하는 전치보상 방법.

$$\begin{aligned} p &= c_{ii,0,0} + c_{ii,0,1} |x(n)| + \dots + c_{ii,0,(P-1)} |x(n)|^{(P-1)} \\ q &= c_{iq,0,0} + c_{iq,0,1} |x(n)| + \dots + c_{iq,0,(P-1)} |x(n)|^{(P-1)} \\ r &= c_{qi,0,0} + c_{qi,0,1} |x(n)| + \dots + c_{qi,0,(P-1)} |x(n)|^{(P-1)} \\ s &= c_{qq,0,0} + c_{qq,0,1} |x(n)| + \dots + c_{qq,0,(P-1)} |x(n)|^{(P-1)} \end{aligned}$$

여기서 $x(n)$ 는 입력 신호이고, p, q 는 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 곱해지는 동위상 전치보상 이득들이고, r, s 는 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 곱해지는 직교위상 전치보상 이득들이고, c_{ii} 와 c_{iq} 는 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 영향을 미치는 동위상 다항식 계수이고, c_{qi} 와 c_{qq} 는 입력 신호의 동위상 신호성과 직교위상 신호성분에 각각 영향을 미치는 직교위상 다항식 계수이고, P 는 다항식의 차수이고, M 은 고려하여야 하는 과거 신호들의 개수임.

【청구항 12】

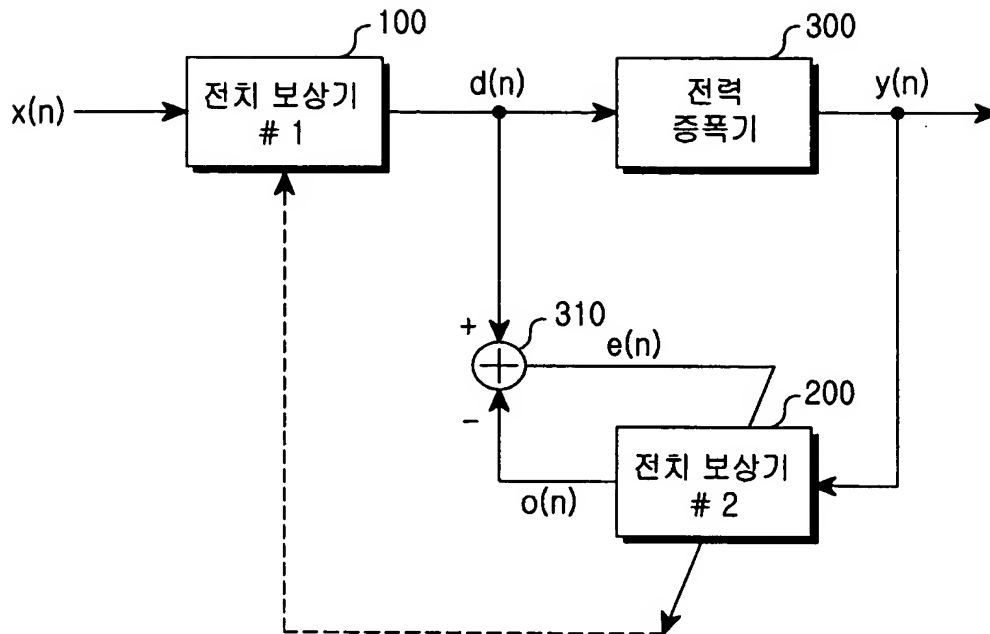
제 10 항에 있어서, 상기 제2 복소 전치보상 이득들은, 하기의 수학식에 의해 계산되는 것을 특징으로 하는 전치보상 방법.

$$\begin{aligned} p &= c_{ii,m,0} + c_{ii,m,1} |d(n-m)| + \dots + c_{ii,m,(P-1)} |d(n-m)|^{(P-1)} \\ q &= c_{iq,m,0} + c_{iq,m,1} |d(n-m)| + \dots + c_{iq,m,(P-1)} |d(n-m)|^{(P-1)} \\ r &= c_{qi,m,0} + c_{qi,m,1} |d(n-m)| + \dots + c_{qi,m,(P-1)} |d(n-m)|^{(P-1)} \\ s &= c_{qq,m,0} + c_{qq,m,1} |d(n-m)| + \dots + c_{qq,m,(P-1)} |d(n-m)|^{(P-1)} \end{aligned}$$

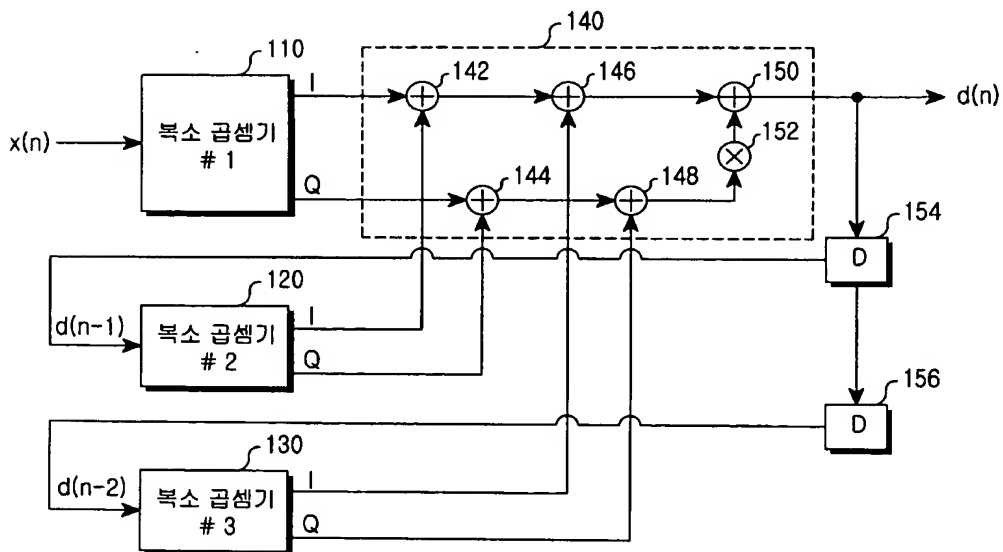
여기서 $d(n-m)$ 는 m 번째 과거의 전치 보상된 신호이고, p, q 는 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 곱해지는 동위상 전치보상 이득들이고, r, s 는 입력 신호의 직교위상 신호성분과 직교위상 신호성분에 각각 곱해지는 직교위상 전치보상 이득들이고, c_{ii} 와 c_{iq} 는 입력 신호의 동위상 신호성분과 직교위상 신호성분에 각각 영향을 미치는 동위상 다항식 계수이고, c_{qi} 와 c_{qq} 는 입력 신호의 동위상 신호성과 직교위상 신호성분에 각각 영향을 미치는 직교위상 다항식 계수이고, P 는 다항식의 차수이고, M 은 고려하여야 하는 과거 신호들의 개수임.

【도면】

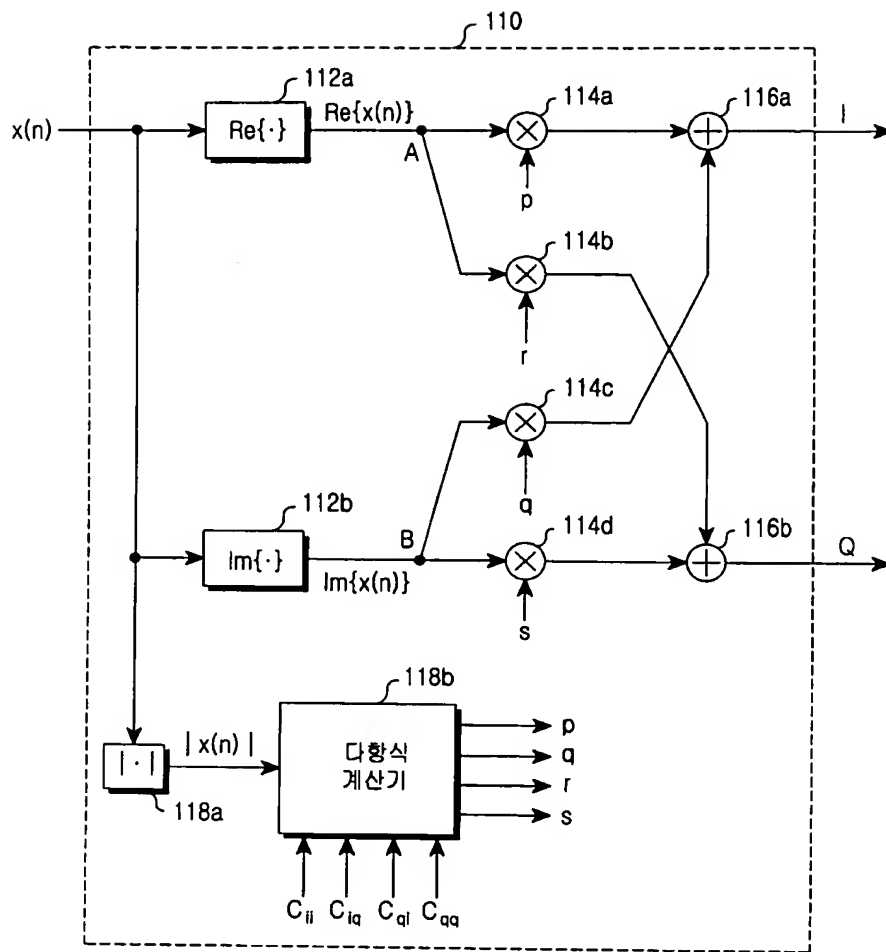
【도 1】



【도 2】



【도 3】



【도 4】

